

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-190798

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
H 0 1 L 27/115				
27/10	4 8 1			
		G 1 1 C 17/ 00	3 0 9 D	
			5 1 0	
審査請求 未請求 請求項の数3 O L (全 13 頁) 最終頁に続く				

(21)出願番号 特願平7-297

(22)出願日 平成7年(1995)1月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

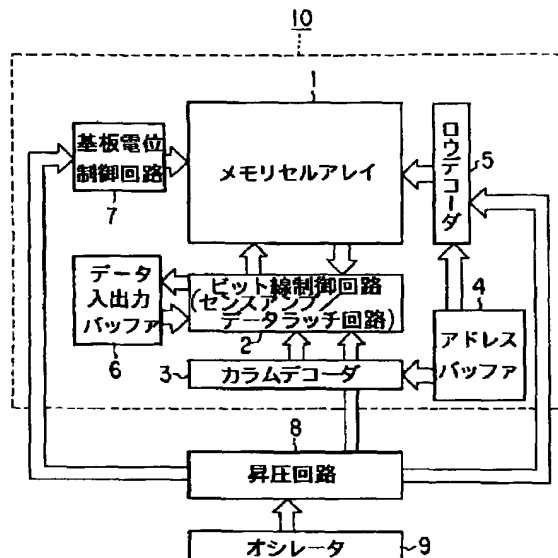
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 電源電圧の変動に依存しないのは勿論のこと、製造ばらつきや温度変動にも依存しない昇圧能力を持つ昇圧回路を搭載して、書き込み／消去時における電源パワーの無駄が生じることがない不揮発性半導体記憶装置を提供する。

【構成】 メモリセルアレイ1と、電源電圧の降下により発振周波数が高くなる発振回路9と、発振回路9の駆動により電源電圧を昇圧してアレイ1の書き込み／消去時に必要な電圧を発生する昇圧回路8とを備えた不揮発性半導体記憶装置において、発振回路9を、定電流源、第1の容量素子及び第1の増幅回路からなる第1の遅延回路と、定電流源、第2の容量素子、及び第2の増幅回路からなる第2の遅延回路と、第1の増幅回路の出力と第2の増幅回路の出力の順序論理を出力し、該出力を第1及び第2の遅延回路の入力として与える順序論理回路とから構成すること。



1

【特許請求の範囲】

【請求項1】 不揮発性メモリ機能を有するメモリ本体と、電源電圧の大きさに応じて発振周波数が変化する発振回路と、昇圧能力に駆動周波数依存性を有し、前記発振回路の駆動により電源電圧を昇圧して前記メモリ本体の書き込み／消去時に必要な電圧を発生する昇圧回路と、を有する不揮発性半導体記憶装置であって、前記発振回路は、一定の電流を発生する定電流源と、入力信号の反転によって一端が前記定電流源に接続される容量素子と、入力信号が反転するまでの前記容量素子の一端の電圧との差が電源電圧の増加とともに増加するような参照電圧を発生する参照電圧源と、前記容量素子の一端の電圧と前記参照電圧との差を増幅して出力する増幅回路と、から構成される遅延回路を含むことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記発振回路は、一定の電流を発生する第1の定電流源と、入力信号の反転によって一端が第1の定電流源に接続される第1の容量素子と、入力信号が反転するまでの第1の容量素子の一端の電圧との差が電源電圧の増加とともに増加するような参照電圧と第1の容量素子の一端の電圧との差を増幅して出力する第1の増幅回路と、から構成される第1の遅延回路と、一定の電流を発生する第2の定電流源と、入力信号の反転によって一端が第2の定電流源に接続される第2の容量素子と、前記参照電圧と第2の容量素子の一端の電圧との差を増幅して出力する第2の増幅回路と、から構成される第2の遅延回路と、第1の増幅回路の出力と第2の増幅回路の出力の順序論理を出力し、該出力を第1及び第2の遅延回路の入力として与える順序論理回路とを具備してなることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記定電流源は、ゲートとドレインが接続される第1のMOSトランジスタと、第1のMOSトランジスタと直列接続関係にある抵抗素子と、第1のMOSトランジスタのゲート電圧を出力する前記参照電圧源の出力がゲートに入力され、ソースが第1のMOSトランジスタのソースに接続され、ドレインが第1の電源電圧端子と共に前記容量素子の一端に選択的に接続される第2のMOSトランジスタと、から構成されることを特徴とする請求項1又は2に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的書き替え可能な不揮発性半導体記憶装置（EEPROM）に係わり、特に書き込み／消去時に必要な高電圧を発生する昇圧回路を備えた単一電源動作可能な不揮発性半導体記憶装置に関する。

【0002】

2

【従来の技術】 単一電源（例えば、 $V_{cc}=5V$ ）により書き込み／消去が行えるEEPROMの一つとして、例えばNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続し、これを一単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが蓄積されたFET-MOS構造を有している。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成されている。

【0003】 EEPROMでは、通常書き込み／消去時にはメモリセルに電源電圧より高い電圧を印加し、トンネル電流などによって電荷蓄積層の電荷量をコントロールしてデータを記憶させる。

【0004】 このようなNAND型EEPROMのデータ書き込み／消去の動作は次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} （ $=20V$ 程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電位 V_{ppM} （ $=10V$ 程度）を印加し、ビット線にはデータに応じてOV又は中間電位を与える。

【0005】 ビット線にOVが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を、例えば“1”とする。ビット線に中間電位が与えられた時は電子注入が起らず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

【0006】 データ消去は、NANDセル内の全てメモリセルに対して同時に行われる。即ち、全ての制御ゲート、選択ゲートをOVとし、ビット線及びソース線を浮遊状態として、p型ウェル及びn型基板に高電圧 $20V$ を印加する。これにより、全てのメモリセルで浮遊ゲートの電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【0007】 以上の説明から分かるように、一般に単一電源動作のEEPROMでは、その内部で電源電圧より高い電圧を発生することが必要である。このため、従来から昇圧回路を用いてこの高電圧を発生させるようにしている。昇圧回路の電流供給能力は、一般に電源電圧の降下とともに低下する。また、昇圧回路はリングオシレータで駆動されるが、このリングオシレータの発振周波数も電源電圧の降下とともに低下する。このため、最低の電源電圧値で動作するように設計された昇圧回路は、例えば最大の電源電圧値では必要以上の電流供給能力を持つことになり電源パワーの無駄を生じる。

【0008】 上記の問題を解決するために本発明者らは、電源電圧の降下と共に発振周波数が高くなる発振回路と、昇圧能力に駆動周波数依存性を有し発振回路の駆

動により電源電圧を昇圧してメモリ本体の書き込み・消去時に必要な電圧を発生する昇圧回路を有するEEPROMを既に提案している(特開平5-325578号公報)。これにより、電源電圧の変動に依存しない昇圧電位を得ることができ、書き込み/消去時における電源電圧の変動に伴う電源パワーの無駄を無くすることができた。

【0009】しかしながら、この種の装置にあっても、次のような問題を避けることはできなかった。即ち、発振回路を製造する際にトランジスタのコンダクタンスやしきい値を厳密に制御するのは困難であり、多少のばらつきが発生するのは避けられない。そして、このばらつきによって発振周波数が変わる。また、温度が変化すると上記のコンダクタンスやしきい値も変化するため、温度変化により発振周波数が変動する。このような周波数変動は、電源パワーの無駄につながるようになる。

【0010】

【発明が解決しようとする課題】このように従来、昇圧回路を持つEEPROMでは、書き込み/消去時に電源電圧の変動によって引き起される昇圧回路の電流供給能力の変動により電源パワーの無駄が生じるという問題があった。さらに、これを解決するために、特開平5-325578号公報のような構成を採用しても、製造ばらつきや温度変動に伴う発振周波数の変動により電源パワーの無駄が生じるという問題があった。

【0011】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、電源電圧の変動に依存しないのは勿論のこと、製造ばらつきや温度変動にも依存しない昇圧能力を持つ昇圧回路を搭載することにより、書き込み/消去時における電源パワーの無駄が生じることがない不揮発性半導体記憶装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。即ち本発明は、不揮発性メモリ機能を有するメモリ本体と、電源電圧の大きさに応じて発振周波数が変化する発振回路と、昇圧能力に駆動周波数依存性を有し、前記発振回路の駆動により電源電圧を昇圧して前記メモリ本体の書き込み/消去時に必要な電圧を発生する昇圧回路と、を有する不揮発性半導体記憶装置であって、前記発振回路は、一定の電流を発生する定電流源と、入力信号の反転によって一端が前記定電流源に接続される容量素子と、入力信号が反転するまでの前記容量素子の一端の電圧との差が電源電圧の増加とともに増加するような参照電圧を発生する参照電圧源と、前記容量素子の一端の電圧と前記参照電圧との差を増幅して出力する増幅回路と、から構成される遅延回路を含むことを特徴としている。

【0013】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) メモリ本体は、FET-MOS構造の複数の不揮発性メモリセルを直列接続したNAND型EEPROMであること。

(2) 発振回路を、一定の電流を発生する第1の定電流源、入力信号の反転によって一端が第1の定電流源に接続される第1の容量素子、及び入力信号が反転するまでの第1の容量素子の一端の電圧との差が電源電圧の増加とともに増加するような参照電圧と第1の容量素子の一端の電圧との差を増幅して出力する第1の増幅回路からなる第1の遅延回路と、一定の電流を発生する第2の定電流源、入力信号の反転によって一端が第2の定電流源に接続される第2の容量素子、及び参照電圧と第2の容量素子の一端の電圧との差を増幅して出力する第2の増幅回路からなる第2の遅延回路と、第1の増幅回路の出力と第2の増幅回路の出力の順序論理を出力し、該出力を第1及び第2の遅延回路の入力として与える順序論理回路と、から構成すること。

(3) 定電流源を、ゲートとドレインが接続される第1のMOSトランジスタと、第1のMOSトランジスタと直列接続関係にある抵抗素子と、第1のMOSトランジスタのゲート電圧を出力する参照電圧源の出力がゲートに入力され、ソースが第1のMOSトランジスタのソースに接続され、ドレインが第1の電源電圧端子と共に容量素子の一端に選択的に接続される第2のMOSトランジスタと、から構成すること。

【0014】

【作用】本発明によれば、昇圧回路の電流供給能力には電源電圧の降下と共に低下傾向が生じるが、これを駆動する発振回路の発振周波数が電源電圧の降下と共に高くなって、この低下傾向が打ち消される。これにより、電源電圧依存性のない電流供給能力を持つ昇圧回路が実現され、書き込み/消去時に、電源電圧の変動に伴う電源パワーの無駄が生じることがなくなる。

【0015】これに加えて本発明では、発振回路に定電流源を備え、トランジスタのコンダクタンスやしきい値のばらつきが発振周波数に影響しないようにしているので、製造ばらつきや温度変化に伴う発振周波数の変動を未然に防止することができ、これにより電源パワーの無駄をより確実に無くすることが可能となる。

【0016】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の一実施例に係わるNAND型EEPROMを用いた不揮発性半導体記憶装置の構成を示すブロック図である。

【0017】メモリ手段としてのメモリセルアレイ1に対して、データ書き込み、読み出しを行うためのビット線制御回路2が設けられている。このビット線制御回路2は、データ入出力バッファ6につながり、アドレスバッファ4からのアドレス信号を受けるカラムコード3の出力を入力として受けるようになっている。また、メモ

リセルアレイ1に対して、制御ゲート及び選択ゲートを制御するためにロウデコーダ5が設けられ、メモリセルアレイ1が形成されるp型基板(又はp型ウェル)の電位を制御するための基板電位制御回路7が設けられている。

【0018】上述のメモリセルアレイ1ないし基板電位制御回路7の各機能を司る回路等によりメモリ本体10が構成されている。昇圧回路8は、発振回路としてのオシレータ9からの駆動信号を受けて電源電圧から昇圧された高電圧を、メモリセルアレイ1の書き込み/消去時にビット線制御回路2、ロウデコーダ5、基板電位制御回路7に供給する。

【0019】図2(a)(b)は、メモリセルアレイ1における一つのNANDセル部分の平面図と等価回路図であり、図3(a)(b)はそれぞれ図2(a)のA-A'及びB-B'断面図である。素子分離酸化膜12で囲まれたp型シリコン基板(又はp型ウェル)11に、複数のNANDセルからなるメモリセルアレイ1が形成されている。一つのNANDセルに着目して説明すると本実施例では、8個のメモリセルM1~M8が直列接続されて一つのNANDセルを構成している。

【0020】メモリセルはそれぞれ、基板11上にトンネル絶縁膜13を介して浮遊ゲート14(14₁, 14₂, ..., 14₈)が形成され、この上にゲート絶縁膜15を介して制御ゲート16(16₁, 16₂, ..., 16₈)が形成されて、構成されている。これらのメモリセルのソース・ドレインであるn型拡散層19は、隣接するもの同士共用する形で、メモリセルが直列接続されている。

【0021】NANDセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート14₉, 16₉及び14₁₀, 16₁₀が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19にコンタクトされている。行方向に並ぶNANDセルの制御ゲート16は、共通に制御ゲート線CG1, CG2, ..., CG8として配設されている。これら制御ゲート線は、ワード線となる。選択ゲート14₉, 16₉及び14₁₀, 16₁₀もそれぞれ行方向に連続的に選択ゲートSG1, SG2として配設されている。

【0022】図4は、このようなNANDセルがマトリクス配列されたメモリセルアレイ1の等価回路を示している。図5に、図1中の昇圧回路8の第1の具体的な構成を示す。図6は昇圧回路8の駆動信号VP1, VP2, VP3, VP4となるオシレータ9の出力信号を示している。

【0023】電圧の昇圧は、DタイプのnチャネルMOSトランジスタQD1~QD4をキャパシタとして用い、E

タイプnチャネルMOSトランジスタQn1~Qn4, Qn17を転送ゲートとして用いることにより行われる。転送ゲートQn1~Qn4のゲート電圧を昇圧してしきい値電圧による電圧降下が生じないようにするため、キャパシタとしてのDタイプnチャネルMOSトランジスタQD5~QD8及び転送ゲートとしてのEタイプnチャネルMOSトランジスタQn5~Qn8が設けられている。

【0024】また、EタイプnチャネルMOSトランジスタQn13, Qn14, Qn15、DタイプnチャネルMOSトランジスタQD9, QD10が転送ゲートQn17のゲート電圧を昇圧して上記と同様にしきい値電圧による電圧降下が生じないようにするため設けられている。EタイプnチャネルMOSトランジスタQn16は、Qn14のゲート電極と出力電圧Vppとをイコライズするために設けられている。これらのMOSトランジスタQn13, Qn14, Qn15, QD9, QD10からなる部分は、ダミーの昇圧段として動作する。なお、本実施例では、4段昇圧であるが、必要に応じて段数を調整すればよい。

【0025】そして、VP1が“L”で、電源電圧VccによりキャパシタQD1, QD3に充電される。VP1が“H”で、転送ゲートQn6, Qn8をそれぞれ通じてキャパシタQD1, QD3の充電電荷がキャパシタQD6, QD8にそれぞれ転送されて充電され、転送ゲートQn2, Qn4のゲート電圧が昇圧される。この状態でVP2が“L”, VP4が“H”になると、キャパシタQD1, QD3の充電電荷が転送ゲートQn2, Qn4をそれぞれ通じてキャパシタQD2, QD4に転送されて充電される。

【0026】このような動作が繰り返されて、電源電圧Vccを所定値まで昇圧した昇圧電圧Voutが発生する。昇圧回路8の昇圧能力は、電源電圧Vccの降下とともに低下傾向が生じるが、駆動信号VP1, VP2, VP3, VP4の周波数が高くなることにより、この低下傾向は打消される。

【0027】図7に、図1中の昇圧回路8の第2の具体的な構成を示す。図8は、昇圧回路8の駆動信号V1, V2となるオシレータ9の出力信号を示している。電圧の昇圧は、DタイプnチャネルMOSトランジスタQD5~QD8をキャパシタとして用い、EタイプnチャネルMOSトランジスタQn18~Qn21を転送ゲートとして用いることにより行われる。V1が“H”から“L”になり、同時にV2が“L”から“H”になると、EタイプnチャネルMOSトランジスタQn18, Qn20がオン、Qn19, Qn21がオフするので、キャパシタQD5, QD7の電荷はそれぞれキャパシタQD5, QD8に転送される。

【0028】駆動信号V1, V2の“H・L”が逆になると、転送ゲートQn18~Qn21のオン・オフも逆になるので、キャパシタQD6, QD8の電荷はそれぞれキャパシタQD7、出力Voutに転送される。このような状態が交互に繰り返され、電源電圧の昇圧が行われる。昇圧回路8の昇圧能力は、電源電圧の降下とともに低下してい

く傾向にあるが、駆動信号V1, V2の周波数が高くなることによりこの低下傾向は打ち消される。

【0029】図9に、従来の発振回路の一つであるリングオシレータを示す。入力信号Vinが“L”のときは発振せず、出力信号VRNGは“H”に固定される。そして、入力信号Vinが“H”になると、発振が始まる。

【0030】図10に、図1中のオシレータ9の第1の具体的な構成を示す。キャパシタC1は、nチャネルMOSトランジスタQn36とpチャネルMOSトランジスタQp9の共通ゲートの電圧レベルによって、一端が電源電圧VccとnチャネルMOSトランジスタQn34のドレインとに選択的に接続される。キャパシタC2も同様に、nチャネルMOSトランジスタQn37とpチャネルMOSトランジスタQp10の共通ゲートの電圧レベルによって、一端が電源電圧VccとnチャネルMOSトランジスタQn35のドレインとに選択的に接続される。

【0031】nチャネルMOSトランジスタQn27, Qn28とpチャネルMOSトランジスタQp1, Qp2, Qp3は、nチャネルMOSトランジスタQn33のゲート、ドレインの電圧VrefとキャパシタC1の一端の電圧Vcap1とを比較し、それらの差を増幅して出力する第1の増幅回路を構成している。同じく、nチャネルMOSトランジスタQn29, Qn30とpチャネルMOSトランジスタQp4, Qp5, Qp6は、電圧VrefとキャパシタC2の一端の電圧Vcap2とを比較し、それらの差を増幅して出力する第2の増幅回路を構成している。NORゲートG2, G3は、これら2つの増幅回路の出力の順序論理を出力する順序論理回路を構成している。

【0032】nチャネルMOSトランジスタQn36とpチャネルMOSトランジスタQp9の共通ゲートの電圧レベルと、nチャネルMOSトランジスタQn37とpチャネルMOSトランジスタQp10の共通ゲートの電圧レベルとは、この順序論理回路の出力に従って交互に“H・*

$$\begin{aligned} I_{ref} &= (V_d - V_{ref}) / R \\ I_{cap} &= I_{ref} \times (g_2 / g_1) \end{aligned}$$

が成立する。発振周期Tは、上記のとおりVcap1(2)がVccからVrefになるまでの時間の2倍に等しいから、 $T = 2 \times C \times (V_{cc} - V_{ref}) / I_{cap}$
 $= 2 \times R \times C \times (g_2 / g_1) \times (V_{cc} - V_{ref}) / (V_d - V_{ref})$ … (3)
 となる。こうして、発振周波数 $f = 1/T$ は $(V_{cc} - V_{ref})$ に反比例することが分かる。

【0035】ここで、(3)式において、MOSトランジスタのコンダクタンス g_1, g_2 は (g_2 / g_1) の形で挿入されている。MOSトランジスタのコンダクタンスは製造時の条件で多少ばらつくが、同一チップ内の各トランジスタのばらつきは同じ方向である。従って、製造時にコンダクタンス g_1, g_2 が多少ばらついたとしても、これらの比 (g_2 / g_1) は一定となる。一方、トランジスタのしきい値 V_t は温度によって変化する

*L”にされる。スタンバイ時には、入力信号Vinは“H”になっていて、nチャネルMOSトランジスタQn26, Qn32, Qn100, Qn101がオン、pチャネルMOSトランジスタQp1, Qp4がオフしている。従って、Vref, Vcap2, Vosc1は“L”、Vcap1, Vosc2は“H”になっている。

【0033】入力信号Vinが“H”から“L”になると、以下のようにして発振が始まる。nチャネルMOSトランジスタQn30はオフしているため、ドレイン電圧は“H”になる。このとき、Vosc1とVosc2はそれぞれ反転し、nチャネルMOSトランジスタQn36、pチャネルMOSトランジスタQp10がオンする。Vcap2はpチャネルMOSトランジスタQp10によって急速に上昇し、順序論理回路はリセットされる。VccにされていたVcap1は、nチャネルMOSトランジスタQn34に流れる一定な電流によって時間とともに線形に低下していく。そして、Vcap1がVrefよりも小さくなると増幅回路の出力は反転し、その結果、順序論理回路によってVosc1とVosc2はそれぞれ反転される。このような状態が繰り返されて、オシレータ(発振回路)の出力Vosc1とVosc2は発振する。

【0034】以下で、Vccの上昇とともにこのオシレータの発振周波数fが低下することを説明する。一定な電圧Vstがゲートに入力されるnチャネルMOSトランジスタQn31のソースには、電源電圧によらない一定の電圧Vdが出力される。Vrefは抵抗素子R1の抵抗値RとnチャネルMOSトランジスタQn33のコンダクタンス g_1 によってのみ決まるので、Vccには依存しない。簡単のため、nチャネルMOSトランジスタQn34とQn35のコンダクタンスが g_2 に等しく、またキャパシタC1とC2の容量がCに等しいとする。nチャネルMOSトランジスタQn33とQn34(Qn35)を流れる電流をそれぞれIref, Icapとすると、

$$\dots (1)$$

$$\dots (2)$$

が、(3)式においてはしきい値 V_t の項は存在していない。従って、発振周波数は製造ばらつきや温度の変化に依存しないことが分かる。

【0036】なお、従来装置では、発振周波数の式にMOSトランジスタのコンダクタンスが単独で挿入され、さらにしきい値 V_t が挿入されていたために、製造ばらつきや温度の変化によって発振周波数が変動していたのである。

【0037】図11に、図1中のオシレータ9の第2の具体的な構成を示す。キャパシタC3は、nチャネルMOSトランジスタQn38とpチャネルMOSトランジスタQp16の共通ゲートの電圧レベルによって、一端が接地レベルに等しい電源電圧VssとpチャネルMOSトランジスタQp13のドレインとに選択的に接続される。キャパシタC4も同様に、nチャネルMOSトランジスタQ

n39 と p チャンネル MOS トランジスタ Qp17 の共通ゲートの電圧レベルによって、一端が電源電圧 Vss と p チャンネル MOS トランジスタ Qp14 のドレインとに選択的に接続される。

【0038】 n チャンネル MOS トランジスタ Qn40, Qn41, Qn42 と p チャンネル MOS トランジスタ Qp19, Qp20, Qp21 は、p チャンネル MOS トランジスタ Qp12 のゲート、ドレインの電圧 Vref とキャパシタ C3 の一端の電圧 Vcap1 とを比較し、それらの差を増幅して出力する第 1 の増幅回路を構成している。同じく、n チャンネル MOS トランジスタ Qn44, Qn45, Qn46 と p チャンネル MOS トランジスタ Qp22, Qp23, Qp24 は、電圧 Vref とキャパシタ C4 の一端の電圧 Vcap2 を比較し、それらの差を増幅して出力する第 2 の増幅回路を構成している。また、NAND ゲート G4, G5 は、これら 2 つの増幅回路の出力の順序論理を出力する順序論理回路を構成している。

【0039】 n チャンネル MOS トランジスタ Qn38 と p チャンネル MOS トランジスタ Qp16 の共通ゲートの電圧レベルと n チャンネル MOS トランジスタ Qn39 と p チャンネル MOS トランジスタ Qp17 の共通ゲートの電圧レベルは、この順序論理回路の出力に従って交互に “H・L” にされる。

【0040】 スタンバイ時には、入力信号 Vin は “H” になっていて、n チャンネル MOS トランジスタ Qn43、p チャンネル MOS トランジスタ Qp11, Qp18, Qp25 がオン、n チャンネル MOS トランジスタ Qn42, Qn46、p チャンネル MOS トランジスタ Qp19, Qp20 がオフしている。従って、Vref, Vcap2, Vosc1 は “H”、Vcap *

$$I_{ref} = V_d / R$$

$$I_{cap} = I_{ref} \times (g_2 / g_1)$$

が成立する。発振周期 T は、上記のとおり Vcap1 (2) が Vcc から Vref になるまでの時間の 2 倍に等しいから、
 $T = 2 \times C \times V_{ref} / I_{cap}$

$= 2 \times R \times C \times (g_2 / g_1) \times V_{ref} / V_d$ … (6)
 となる。こうして、発振周波数 $f = 1 / T$ は Vcc の増加とともに増加する Vref に反比例することが分かる。

【0043】 この場合も、(6) 式には g_1, g_2 は (g_2 / g_1) の形で挿入され、さらにしきい値 Vt の項は存在しない。従って、図 10 の回路と同様に、発振周波数は製造ばらつきや温度の変化に依存しないことが分かる。

【0044】 図 12 に、図 5 の昇圧回路を駆動する図 6 の信号 VP1 ~ VP4 を出力する回路を示す。一定な電圧 Vst がゲートに入力される p チャンネル MOS トランジスタ Qp29 のドレインには、電源電圧によらない一定の電圧が出力されるため、n チャンネル MOS トランジスタ Qn51 と p チャンネル MOS トランジスタ Qp30 で構成されるインバータの遅延時間は Vcc によらない。

【0045】 図 13 に、第 1 の定電圧発生回路を示す。

*1, Vosc2 は “L” になっている。

【0041】 入力信号 Vin が “H” から “L” になると、以下のようにして発振が始まる。p チャンネル MOS トランジスタ Qp24 はオフしているため、ドレイン電圧は “H” になる。このとき、Vosc1 と Vosc2 はそれぞれ反転し、n チャンネル MOS トランジスタ Qn39、p チャンネル MOS トランジスタ Qp16 がオンする。Vcap2 は n チャンネル MOS トランジスタ Qn39 によって急速に降下し、順序論理回路はリセットされる。Vss にされていた Vcap1 は、p チャンネル MOS トランジスタ Qn13 を流れる一定な電流によって時間とともに線形に低下していく。そして、Vcap1 が Vref よりも大きくなると増幅回路の出力は反転し、その結果、順序論理回路によって Vosc1 と Vosc2 それぞれ反転される。このような状態が繰り返されて、オシレータ (発振回路) の出力 Vosc1 と Vosc2 は発振する。

【0042】 以下で、Vcc の上昇とともにこのオシレータの発振周波数 f が低下することを説明する。一定な電圧 Vst がゲートに入力される p チャンネル MOS トランジスタ Qp15 のドレインには、電源電圧によらない一定の電圧 Vd が出力される。Vref は抵抗素子 R2 の抵抗値 R と p チャンネル MOS トランジスタ Qp12 のコンダクタンス g_1 と Qp15 のコンダクタンス g_2 によって決まり、Vcc の上昇とともに上昇する。簡単のため、p チャンネル MOS トランジスタ Qp13 と Qp14 のコンダクタンスが g_2 に等しく、またキャパシタ C3 と C4 の容量が C に等しいとする。p チャンネル MOS トランジスタ Qp12 と Qp13 (Qp14) を流れる電流をそれぞれ Iref, Icap とすると、

$$\dots (4)$$

$$\dots (5)$$

出力 Vout は n チャンネル MOS トランジスタ Qn48 と Q11 のしきい電圧の差に等しくなる。図 14 に、発振周波数が電源電圧の降下とともに高くなるオシレータの出力によって駆動される昇圧回路の第 1 のブロック図を示す。51 は図 13 の定電圧発生回路、52 は図 10 又は図 11 の発振回路、53 は図 7 の昇圧回路である。この構成によって、昇圧能力の Vcc 依存性は小さくされる。

【0046】 図 15 に、第 2 の定電圧発生回路と発振周波数が電源電圧の降下とともに高くなるオシレータの出力によって駆動される昇圧回路の第 2 のブロック図を示す。入力信号 Von が “L” から “H” になるとオシレータが動作し始め、定電圧発生のための昇圧回路 54 と、書き込み/消去時に高電圧にすべき負荷容量を充電する昇圧回路 53 を駆動し始める。遅延時間 Td 経過するまで p チャンネル MOS トランジスタ Qp36 はオンしているため、ドレイン電圧 Vm は Vcc に等しく、従ってオシレータ 52 の発振周波数は電源電圧の降下とともに低くなる。

【0047】 しかしながら、定電圧発生のための昇圧回

路53の負荷容量が小さいため、直ぐに出力電圧はツェナーダイオードZD1のブレイクダウン電圧V_zにされる。その後、遅延時間T_d経過するとpチャネルMOSトランジスタQp36はオフし、ドレイン電圧V_mはブレイクダウン電圧V_zの抵抗分割の値になる。この値はもちろんV_{cc}によらず、従ってオシレータ53の発振周波数は電源電圧の降下とともに高くなる。こうして、書き込み／消去時に高電圧にすべき負荷容量を充電する昇圧回路の昇圧能力の電源電圧の依存性を小さくできる。

【0048】図16に、第3の定電圧発生回路と発振周波数が電源電圧の降下とともに高くなるオシレータの出力によって駆動される昇圧回路の第3のブロック図を示す。定電圧発生回路は、V_{cc}依存性の大きいリングオシレータ55(図9)と、その出力信号RNGによって駆動される定電圧発生用昇圧回路54と、ツェナーダイオードZD2と、そのブレイクダウン電圧V_zの抵抗分割するR5、R6によって構成される。遅延時間T_d経過するまでに、一定電圧がオシレータ52と昇圧回路58(図5)を駆動する信号発生回路57(図12)に入力されるが、回路動作は始まらない。遅延時間T_d経過すると、これらの回路が動作し始め書き込み／消去時に高電圧にすべき負荷容量を充電する昇圧回路58が駆動される。こうして、昇圧回路の昇圧能力の電源電圧依存性を小さくできる。

【0049】図21に、図1中のオシレータ9を構成する遅延回路を示す。図22に、その各電圧波形を示す。入力信号V_{in}が反転するまでは、キャパシタ103の一端の電圧V_{cap}は第1の電源電圧端子110に接続されている。入力信号V_{in}が反転すると、V_{cap}は定電流源102によって時間に対して一定の割合で変化していく。増幅回路101は、V_{cap}と参照電圧V_{ref}とを比較し、それらの差を増幅する。従って、増幅回路101は、V_{cap}とV_{ref}が等しくなったところで出力を反転させる。

【0050】第1の電源電圧端子110が電源電圧V_{cc}であるとき、V1はV_{cc}に、V2はV_{ref}にそれぞれ等しくV_{cap}の傾きは負である。ここで、V_{ref}はV_{cc}の増加とともに減少するか、又はV_{cc}によって不変であるようにされている。キャパシタ103の容量をC、定電流をI_{const}と書くと、入力が反転してから出力が反転するまでの遅延時間T_dは、原理的に、 $T_d = C \times (V_{cc} - V_{ref}) / I_{const}$

となり、V_{cc}の増加とともに遅延時間は延びる。

【0051】第1の電源電圧端子110が電源電圧V_{ss}=0Vであるとき、V1はV_{ss}に、V2はV_{ref}にそれぞれ等しくV_{cap}の傾きは正である。ここで、V_{ref}はV_{cc}の増加とともに増加するようにされている。キャパシタ103の容量をC、定電流をI_{const}と書くと、入力が反転してから出力が反転するまでの遅延時間T_dは、原理的に、

$$T_d = C \times V_{ref} / I_{const}$$

となり、V_{cc}の増加とともに遅延時間は延びる。

【0052】図17に本実施例における第3のオシレータを示し、図18に各電圧波形を示す。2つの遅延回路1000の出力は順序論理回路105に入力され、その出力はそれぞれの遅延回路1000の入力とされる。V_{cc}にされていたV_{cap1}は定電流によって時間とともに線形に低下していく。そして、V_{cap1}がV_{ref}よりも小さくなると増幅回路の出力は反転し、その結果、順序論理回路によってV_{out1}とV_{out2}はそれぞれ反転される。すると、V_{cap1}は急速にV_{cc}まで充電され、またV_{cc}にされていたV_{cap2}は定電流によって時間とともに線形に低下していく。そして、V_{cap2}がV_{ref}よりも小さくなると増幅回路の出力は反転し、その結果順序論理回路によってV_{out1}とV_{out2}はそれぞれ反転される。

【0053】このような状態が繰り返されて、オシレータ(発振回路)の出力V_{out1}とV_{out2}は発振する。V_{cap1}とV_{cap2}の振幅はV_{cc}の増加とともに増加するのに対して、駆動電流は一定であるため、オシレータの発振周波数はV_{cc}の上昇とともに低下する。

【0054】図19に本実施例における第4のオシレータを示し、図20に各電圧波形を示す。図20の定電圧V_{ref}はV_{cc}の増加と共に増加する。2つの遅延回路1000の出力は順序論理回路105に入力され、その出力はそれぞれの遅延回路1000の入力とされる。接地されていたV_{cap1}は定電流によって時間とともに線形に上昇していく。そして、V_{cap1}がV_{ref}よりも大きくなると増幅回路の出力は反転し、その結果、順序論理回路によってV_{out1}とV_{out2}はそれぞれ反転される。すると、V_{cap1}は急速に接地レベルまで放電され、また接地されていたV_{cap2}は定電流によって時間とともに線形に上昇していく。そして、V_{cap1}がV_{ref}よりも大きくなると増幅回路の出力は反転し、その結果順序論理回路によってV_{out1}とV_{out2}はそれぞれ反転される。

【0055】このような状態が繰り返されて、オシレータ(発振回路)の出力V_{out1}とV_{out2}は発振する。V_{cap1}とV_{cap2}の振幅はV_{cc}の増加とともに増加するのに対して、駆動電流は一定であるため、オシレータの発振周波数はV_{cc}の上昇とともに低下する。

【0056】なお、本発明は上述した実施例に限定されるものではない。メモリセルアレイの構成はNAND型に限るものではなく、NOR型(複数のメモリセルを並列接続したセルユニット及び該ユニットの両端に接続されたセレクトゲートからなるAND型、上記セルユニットと該セルユニットの一端に接続されたセレクトゲートからなるDINOR型)に適用することもできる。さらに、メモリセルは2層ゲートを有するFET-MOS構造に限らず、書き込み／消去時に昇圧電位を必要とするものに適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0057】

【発明の効果】以上詳述したように本発明によれば、電源電圧の大きさに応じて発振周波数が変化する発振回路、この発振回路の駆動により電源電圧を昇圧する昇圧回路を備えた不揮発性半導体記憶装置において、電源電圧依存性のない電流供給能力を持つ昇圧回路を実現すると共に、トランジスタのコンダクタンスやしきい値のばらつき、更には温度変化に伴う発振周波数の変動を防止して、製造ばらつきや温度変動にも依存しない昇圧能力を持つ昇圧回路を実現し、書き込み／消去時における電源パワーの無駄を確実に無くすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる不揮発性半導体記憶装置の構成を示すブロック図。

【図2】実施例におけるNANDセルの構成を示す平面図と等価回路図。

【図3】図2(a)のA-A'及びB-B'断面図。

【図4】実施例におけるメモリセルアレイの等価回路図。

【図5】実施例における昇圧回路の第1の構成例を示す回路図。

【図6】図5の昇圧回路の駆動信号を示すタイミングチャート。

【図7】実施例における昇圧回路の第2の構成例を示す回路図。

【図8】図7の昇圧回路の駆動信号を示すタイミングチャート。

【図9】従来の発振回路の一つであるリングオシレータを示す回路図。

【図10】実施例におけるオシレータの第1の構成例を示す回路図。

【図11】実施例におけるオシレータの第2の構成例を示す回路図。

【図12】図5の昇圧回路を駆動するための信号を出力する回路の構成を示す回路図。

【図13】実施例における第1の定電圧発生回路の構成を示す回路図。

【図14】第1の定電圧発生回路を用いた昇圧回路のブロック図。

【図15】第2の定電圧発生回路を用いた昇圧回路のブロック図。

【図16】第3の定電圧発生回路を用いた昇圧回路のブロック図。

【図17】実施例におけるオシレータの第3の構成例を

示す回路図。

【図18】図17のオシレータの主要ノードの電圧波形を示す図。

【図19】実施例におけるオシレータの第4の構成例を示す回路図。

【図20】図19のオシレータの主要ノードの電圧波形を示す図。

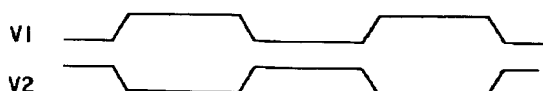
【図21】実施例におけるオシレータを構成している遅延回路を示す図。

【図22】図21の遅延回路の主要ノードの電圧波形を示す図。

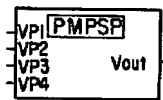
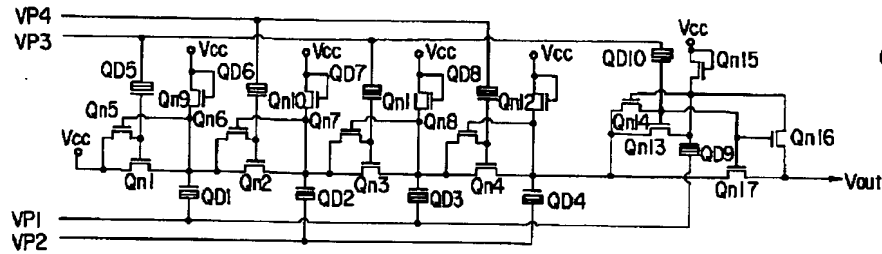
【符号の説明】

- 1…メモリセルアレイ
- 2…ビット線制御回路
- 3…カラムデコーダ
- 4…アドレスバッファ
- 5…ロウデコーダ
- 6…データ入出力バッファ
- 7…基板電位制御回路
- 8…昇圧回路
- 9…オシレータ
- 10…メモリ本体
- 11…p型シリコン基板又はp型ウェル
- 12…素子分離酸化膜
- 13…トンネル絶縁膜
- 14…浮遊ゲート
- 15…ゲート絶縁膜
- 16…制御ゲート
- 17…層間絶縁膜
- 18…ビット線
- 19…n型拡散層
- 51…定電圧発生回路
- 52…発振回路
- 53, 54, 58…昇圧回路
- 55…リングオシレータ
- 57…信号発生回路
- 100…スイッチ
- 101…増幅回路
- 102…定電流源
- 103…キャパシタ
- 104…参照電圧源
- 105…順序論理回路
- 110…電源電圧端子
- 1000…遅延回路

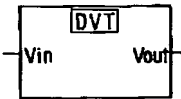
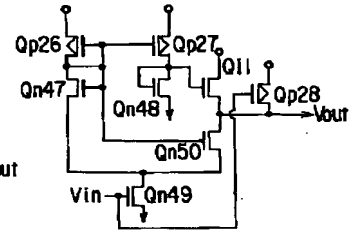
【図8】



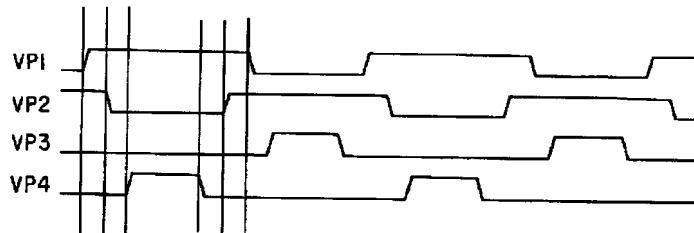
【図5】



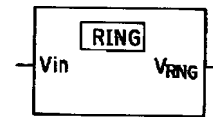
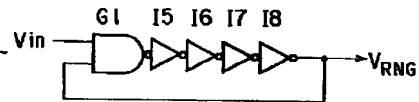
【図13】



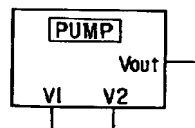
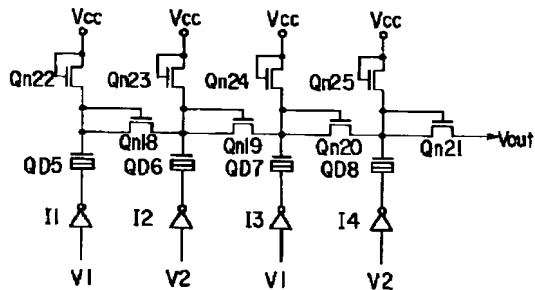
【図6】



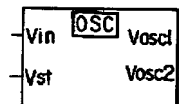
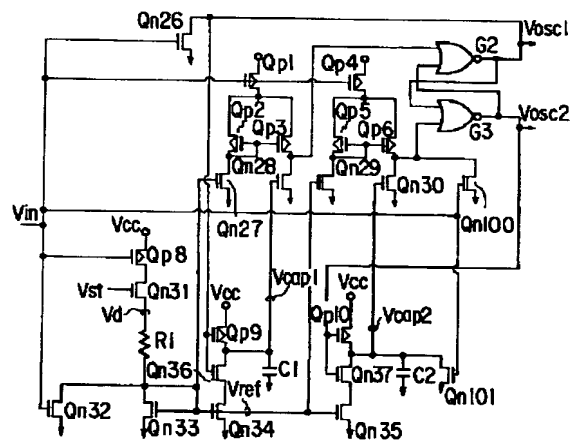
【図9】



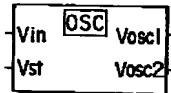
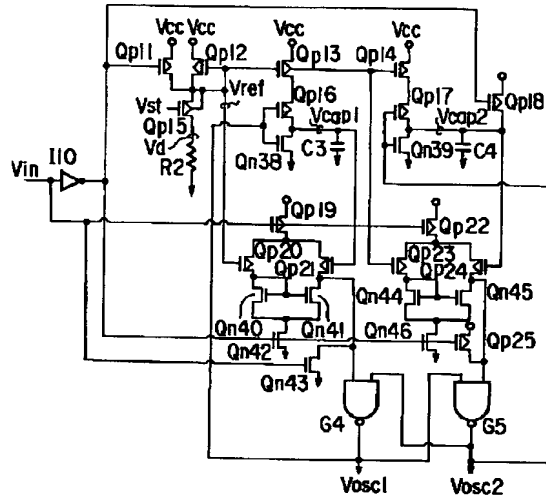
【図7】



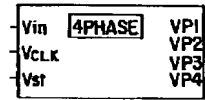
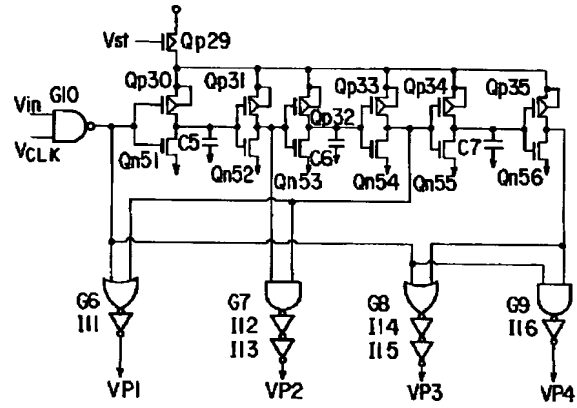
【図10】



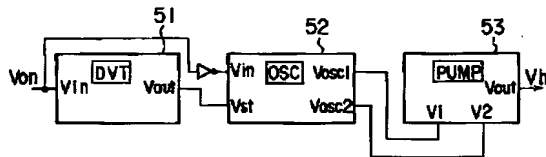
【図11】



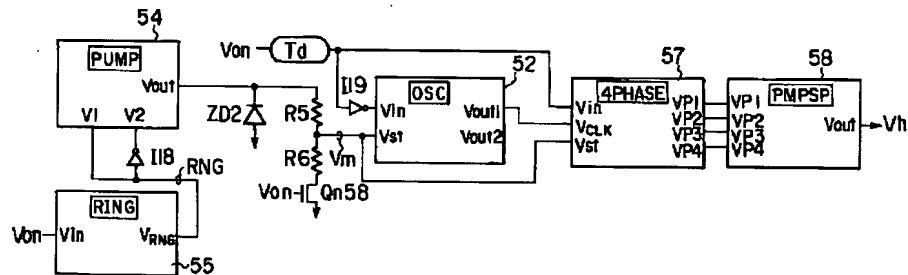
【図12】



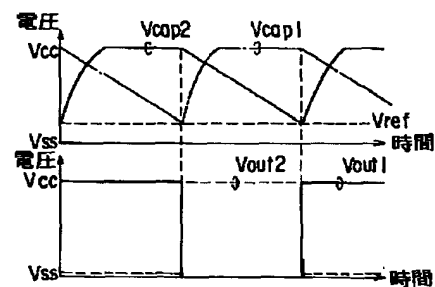
【図14】



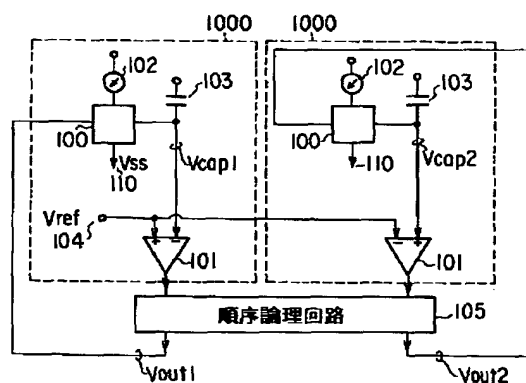
【図16】



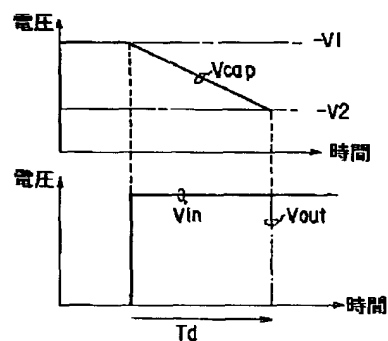
【图 18】



【图 19】



【图 2 2】



(13)

特開平 8-190798

フロントページの続き

(51) Int. Cl. ⁶
// H 0 1 L 21/8247
29/788
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/10
29/78

4 3 4
3 7 1